

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月17日

出 願 番 号

Application Number:

特願2003-009815

[ST.10/C]:

[JP2003-009815]

出 願 人

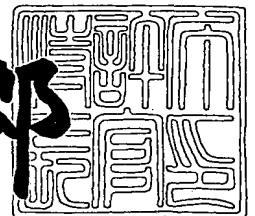
Applicant(s):

三菱電機株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3007896

【書類名】 特許願

【整理番号】 543620JP01

【提出日】 平成15年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 平間 哲也

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【選任した代理人】

 【識別番号】 100098280

 【弁理士】

 【氏名又は名称】 石野 正弘

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 誘導素子

【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁層と配線層とが交互に積層された積層構造を有し、

前記積層構造は、第 1 の層構造と、第 2 の層構造と、前記第 1 の層構造と前記第 2 の層構造との間に挟まれた第 1 の絶縁層とから成り、

前記第 1 の層構造は、それぞれ同一平面で巻回する第 1 の巻線部分と第 2 の巻線部分とが互いに隣接して配置された第 1 の配線層を含み、

前記第 2 の層構造は、一方の端子から他方の端子まで単一の経路を有する第 1 の配線部分が配置された第 2 の配線層を含み、

前記第 1 の絶縁層は、前記第 1 の配線層と前記第 2 の配線層との間に挟まれた絶縁層であり、前記第 1 の絶縁層には、前記第 1 の配線層と前記第 2 の配線層とを接続するための第 1 のビアホールおよび第 2 のビアホールが形成され、

前記第 1 の巻線部分の第 1 の端子と前記第 2 の巻線部分の第 1 の端子との間に電圧を印可したとき、前記第 1 の巻線部分において前記第 1 の端子から第 2 の端子へ電流が周回し、前記第 2 の巻線部分において第 2 の端子から前記第 1 の端子へ電流が周回し、それらの周回する電流の方向が反対方向であるように、前記第 1 の巻線部分の前記第 2 の端子と前記第 1 の配線部分の第 1 の端子が、前記第 1 のビアホールを介して接続され、前記第 1 の配線部分の第 2 の端子と前記第 2 の巻線部分の前記第 2 の端子が、前記第 2 のビアホールを介して接続される誘導素子。

【請求項 2】 前記第 1 の配線部分は、前記第 1 の巻線部分と前記第 2 の巻線部分との間の領域に対向する部分を有し、

前記第 1 の配線部分は、その図形の中心点に関して点対称である請求項 1 に記載の誘導素子。

【請求項 3】 前記第 1 の層構造が、さらに、前記第 1 の配線層について前記第 2 の配線層側と反対側に位置される第 3 の配線層と、前記第 1 の配線層と前記第 3 の配線層との間に挟まれた第 2 の絶縁層とを含み、

前記第 3 の配線層には、それぞれ同一平面で巻回する第 3 の巻線部分と第 4 の巻線部分とが互いに隣接して配置され、

前記第 3 の巻線部分は、前記第 1 の巻線部分の前記第 1 の端子と電氣的に接続される第 1 の端子を備え、前記第 4 の巻線部分は、前記第 2 の巻線部分の前記第 1 の端子と電氣的に接続される第 1 の端子を備え、

前記第 2 の絶縁層には、前記第 1 の配線層と前記第 3 の配線層とを接続するための第 3 のビアホールおよび第 4 のビアホールが形成され、

前記第 1 の巻線部分の前記第 1 の端子と前記第 2 の巻線部分の前記第 1 の端子との間に電圧を印可したとき、前記第 3 の巻線部分において、前記第 1 の端子から第 2 の端子へ電流が周回し、前記第 4 の巻線部分において、第 2 の端子から前記第 1 の端子へ電流が周回し、前記第 3 の巻線部分および前記第 4 の巻線部分を周回する電流の方向が、それぞれ、前記第 1 の巻線部分および前記第 2 の巻線部分を周回する電流の方向と等しいように、前記第 1 の巻線部分の前記第 2 の端子と前記第 3 の巻線部分の前記第 2 の端子とが、前記第 3 のビアホールを介して接続され、前記第 2 の巻線部分の前記第 2 の端子と前記第 4 の巻線部分の前記第 2 の端子とが、前記第 4 のビアホールを介して接続される請求項 1 または請求項 2 に記載の誘導素子。

【請求項 4】 前記第 1 の層構造が、さらに、前記第 1 の配線層について前記第 2 の配線層側と同じ側に位置される第 3 の配線層と、前記第 1 の配線層と前記第 3 の配線層との間に挟まれた第 2 の絶縁層とを含み、

前記第 1 の絶縁層は、前記第 2 の配線層と前記第 3 の配線層との間に挟まれた絶縁層であり、前記第 1 の絶縁層には、前記第 2 の配線層と前記第 3 の配線層とを接続するための第 1 のビアホールおよび第 2 のビアホールが形成され、

前記第 2 の絶縁層には、前記第 1 の配線層と前記第 3 の配線層とを接続するための第 3 のビアホールおよび第 4 のビアホールが形成され、

前記第 3 の配線層には、それぞれ同一平面で巻回する第 3 の巻線部分と第 4 の巻線部分とが互いに隣接して配置され、

前記第 1 の巻線部分の前記第 1 の端子と前記第 2 の巻線部分の前記第 1 の端子との間に電圧を印可したとき、前記第 3 の巻線部分において、その第 1 の端子か

ら第2の端子へ電流が周回し、前記第4の巻線部分において、その第1の端子から第2の端子へ電流が周回し、前記第3の巻線部分および前記第4の巻線部分を周回する電流の方向が、それぞれ、前記第1の巻線部分および前記第2の巻線部分を周回する電流の方向と等しいように、前記第1の巻線部分の前記第2の端子と前記第3の巻線部分の前記第1の端子とが、前記第3のビアホールを介して接続され、前記第3の巻線部分の前記第2の端子と前記第1の配線部分の前記第1の端子とが、前記第1のビアホールを介して接続され、

前記第1の配線部分の前記第2の端子と前記第4の巻線部分の前記第1の端子とが、前記第2のビアホールを介して接続され、前記第4の巻線部分の前記第2の端子と前記第2の巻線部分の前記第2の端子とが、前記第4のビアホールを介して接続される請求項1または請求項2に記載の誘導素子。

【請求項5】 前記第2の層構造が、前記第1の層構造と前記半導体基板との間に位置され、

前記第2の層構造が、さらに、一方の端子から他方の端子まで単一の経路を有する第2の配線部分が配置された、前記第2の配線層と前記半導体基板との間に位置される第3の配線層と、一方の端子から他方の端子まで単一の経路を有する第3の配線部分が配置された、前記第3の配線層と前記半導体基板との間に位置される第4の配線層と、前記第2の配線層と前記第3の配線層との間に挟まれた第2の絶縁層と、前記第3の配線層と前記第4の配線層との間に挟まれた第3の絶縁層とを含み、

前記第2の層構造においては、前記第2の絶縁層、前記第3の配線層および前記第3の絶縁層を貫通し、前記第2の配線層と前記第4の配線層とを接続するための第3のビアホールと、前記第3の絶縁層を貫通する第4のビアホールと、前記第2の配線層と前記第2の絶縁層とを貫通する第5のビアホールとがそれぞれ形成され、

前記第2のビアホールと前記第5のビアホールとを接続することにより、前記第1の配線層と前記第3の配線層とを接続するための第6のビアホールが形成され、

前記第1の配線部分、前記第2の配線部分および前記第3の配線部分は、それ

ぞれ、互いに平行、かつ、前記半導体基板の表面に対して垂直に並ぶ直線部を有し、

前記第 1 の巻線部分の第 1 の端子と前記第 2 の巻線部分の第 1 の端子との間に電圧を印可したとき、前記第 1 の巻線部分において、前記第 1 の端子から前記第 2 の端子へ電流が周回し、前記第 2 の巻線部分において、前記第 2 の端子から前記第 1 の端子へ電流が周回し、それらの周回する電流の方向が反対方向であり、かつ、前記第 1 の巻線部分の巻回の中心と前記第 2 の巻線部分の巻回の中心とを結ぶ直線が、前記第 1 の配線部分の前記直線部、前記第 2 の配線部分の前記直線部および前記第 3 の配線部分の前記直線部が形成する平面に垂直であるように、前記第 1 の巻線部分の前記第 2 の端子と前記第 1 の配線部分の前記第 1 の端子とが、前記第 1 のビアホールを介して接続され、前記第 1 の配線部分の前記第 2 の端子と、前記第 3 の配線部分の第 1 の端子とが、前記第 3 のビアホールを介して接続され、前記第 3 の配線部分の第 2 の端子と前記第 2 の配線部分の第 1 の端子とが、前記第 4 のビアホールを介して接続され、かつ、前記第 2 の配線部分の第 2 の端子と前記第 2 の巻線部分の前記第 2 の端子とが、前記第 6 のビアホールを介して接続される請求項 1 に記載の誘導素子。

【請求項 6】 前記第 1 の配線部分の前記直線部、前記第 2 の配線部分の前記直線部および前記第 3 の配線部分の前記直線部は、前記第 1 の配線層における前記第 1 の巻線部分と前記第 2 の巻線部分との間の領域に対向して配置される請求項 5 に記載の誘導素子。

【請求項 7】 前記第 2 の層構造が、さらに、前記半導体基板と、複数の前記配線層のうち前記半導体基板に最も近い配線層との間に、超伝導体から成る電磁遮蔽板を有する請求項 1 から請求項 6 のいずれかに記載の誘導素子。

【請求項 8】 各々の前記巻線部分が、四角以上の多角形状または円形状に巻回される請求項 1 から請求項 7 のいずれかに記載の誘導素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、誘導素子に関する。

【0002】

【従来の技術】

移動体通信や衛星通信等に用いられる高周波回路として、小型かつ高密度のモノリシックマイクロ波集積回路（MMIC: Monolithic Microwave Integrated Circuit）が注目されている。これは、1つの半導体基板上に、能動素子（FET、HEMT等）および受動素子（伝送線路、容量素子、誘導素子等）が一緒に作り込まれた多層構造のマイクロ波集積回路である。そして、最近では、CMOSでも高周波回路が製造できるようになった。このMMICにおいては、誘導素子（以下、「インダクタ」という。）として、しばしば、らせん状のインダクタ（以下、「スパイラルインダクタ」という。）が用いられる。スパイラルインダクタは、平面状に巻回するスパイラル（らせん）状の導電パターンを有する。その導電パターンの外側端子および内側端子の少なくとも一方は、それぞれ、ビアホールまたはスルーホールを介して、別の配線層に設けられた電極と電気的に接続される。スパイラルインダクタは、インダクタの構成に必要な配線層の数が低減できるという利点を有する。

【0003】

スパイラルインダクタの外側および内側の端子に電圧を印加すると、導電パターンに沿ってスパイラル状の電流が流れるため、その周囲に磁界が発生する。特に、そのらせんの中心部には、導電パターンが形成された平面を貫く磁束が発生する。この磁束は、半導体基板（非絶縁性基板）内に入り込む。ここで、スパイラル状の導電パターンを流れる電流に応じて磁束が変化するとき、電磁誘導作用により、基板内で渦電流が発生する。この渦電流は、上記の磁束変化を妨げる向きに生じるため、スパイラルインダクタの発生する磁束密度を低下させる。結果として、スパイラルインダクタの自己インダクタンス（ L ）が減少し、 Q （クオリティファクタ）の値が低下する。つまり、従来のスパイラルインダクタは、エネルギー損失が大きいという問題があった。また、そのようなスパイラルインダクタを含む集積回路は、そのスパイラルインダクタにおけるエネルギー損失が大きく、回路全体としてのエネルギー損失が大きくなるという問題があった。

【0004】

Q値を改善するために、従来のスパイラルインダクタには、巻回方向が対称および反対である2つの巻線（2つのスパイラルインダクタ）を、互いに対向するように、配置するものがある（例えば、特許文献1参照。）。それら2つの巻線は、並列に接続される。これにより、電流が2つの巻線を通るときに形成される相互インダクタンスが低減され、大きいQ値が得られる。

【0005】

また、2つのループを並列に接続し、全体の抵抗値を低減することによって、大きいQ値を得るインダクタンス装置がある（例えば、特許文献2参照。）。

【0006】

さらに、方形状に巻回されたスパイラルコイルであって、その四角を、角を取るような形状にすることにより、大きいQ値を得るものもある（例えば、特許文献3参照。）。

【0007】

【特許文献1】

特開2000-208704号公報（第3-4頁、第3図）

【特許文献2】

特表2002-508592号公報（第7-12頁、第2-4図）

【特許文献3】

特開平3-89548号公報（第3頁、第3図）

【0008】

【発明が解決しようとする課題】

しかし、特許文献1などに記載されるインダクタは、スパイラルインダクタを使用する高周波回路が、スパイラルインダクタを2つ使用するよりも、1つだけ使用する場合が多いにも関わらず、同じ2つのスパイラルインダクタを使用する回路にしか適用できないという課題があった。

【0009】

また、特許文献1などに記載されるインダクタは、占有する面積が非常に大きいという課題があった。スパイラルインダクタは、他の素子と比較して、面積が数千、数万倍も大きく、このスパイラルインダクタを2つ使用すると、インダク

タの占有する面積が非常に大きくなるという課題があった。

【0010】

さらに、特許文献1、特許文献2および特許文献3などは、インダクタを流れる電流によって発生する磁束が半導体基板に入り込むことによって生じるQ値の低下について全く言及していない。

【0011】

本発明の目的は、Q値が高く、エネルギー損失が小さい誘導素子を提供することである。

【0012】

本発明の更なる目的は、それを流れる電流によって発生する磁束が半導体基板に入り込まないような誘導素子を提供することである。

【0013】

【課題を解決するための手段】

本発明による誘導素子は、半導体基板上に絶縁層と配線層とが交互に積層された積層構造を有する。前記の積層構造は、第1の層構造と、第2の層構造と、前記の第1の層構造と前記の第2の層構造との間に挟まれた第1の絶縁層とから成る。前記の第1の層構造は、それぞれ同一平面で巻回する第1の巻線部分と第2の巻線部分とが互いに隣接して配置された第1の配線層を含み、前記の第2の層構造は、一方の端子から他方の端子まで単一の経路を有する第1の配線部分が配置された第2の配線層を含む。前記の第1の絶縁層は、前記の第1の配線層と前記の第2の配線層との間に挟まれた絶縁層であり、前記の第1の絶縁層には、前記の第1の配線層と前記の第2の配線層とを接続するための第1のビアホールおよび第2のビアホールが形成される。前記の第1の巻線部分の第1の端子と前記の第2の巻線部分の第1の端子との間に電圧を印可したとき、前記の第1の巻線部分において前記の第1の端子から第2の端子へ電流が周回し、前記の第2の巻線部分において第2の端子から前記の第1の端子へ電流が周回し、それらの周回する電流の方向が反対方向であるように、前記の第1の巻線部分の前記の第2の端子と前記の第1の配線部分の第1の端子が、前記の第1のビアホールを介して接続され、前記の第1の配線部分の第2の端子と前記の第2の巻線部分の前記の

第2の端子が、前記の第2のビアホールを介して接続される。

【0014】

【発明の実施の形態】

以下に、添付の図面を参照して、本発明の実施の形態について説明する。

実施の形態1.

図1は、本発明の実施の形態1によるスパイラルインダクタを示す図である。図1(a)は、本実施の形態によるスパイラルインダクタの上面図、図1(b)は、図1(a)の破断線A-Aにおける断面図である。本実施の形態によるスパイラルインダクタ1は、半導体基板2上に配線層と絶縁層とが交互に積層された積層構造を有する。図1(b)において、積層構造は、配線層3、配線層4、配線層3と配線層4との間の絶縁層5、配線層4と半導体基板2との間の絶縁層6から成る。これらは、半導体基板2上に絶縁層6、配線層4、絶縁層5および配線層3の順で積層される。スパイラルインダクタ1は、各々の配線層に、アルミニウム(A1)や銅(Cu)等から成る導電パターンを有する。図1(a)に示されるように、スパイラルインダクタ1は、積層構造の最上層である配線層3に、単一平面で巻回する第1の巻線部分7と第2の巻線部分8とを備える。ここで、第1の巻線部分7と第2の巻線部分8は、ともに、外側から内側に1回だけスパイラル状に巻回した形状をしている。また、そのスパイラル状の巻回は、方形状である。第1の巻線部分7と第2の巻線部分8は、形状が同一である。

【0015】

図1(a)に示されるように、第1の巻線部分7および第2の巻線部分8は、近接して並んで配置される。ここで、第1の巻線部分7における巻回の始点(巻線部分7の外側の端子9)から最初の角までの直線部分を第1の直線部分、第2の巻線部分8における巻回の始点(巻線部分8の外側の端子10)から最初の角までの直線部分を第2の直線部分とすると、第1の巻線部分7および第2の巻線部分8は、第1の直線部分と第2の直線部分が平行、かつ、互いに対向するように配置される。また、第1の巻線部分7および第2の巻線部分8は、各々の外側端子から内側端子への巻回方向が、対称、かつ、互いに逆向きであるように配置される。結果として、第1の巻線部分7および第2の巻線部分8は、配線層3に

において点対称の関係にある。

【 0 0 1 6 】

スパイラルインダクタ 1 は、配線層 4 に、一方の端子から他方の端子まで単一の経路を有する配線部分 1 1 を備える。配線部分 1 1 の一方の端子は、配線層 3 における第 1 の巻線部分 7 の内側の端子 1 2 に、絶縁層 5 を貫通するビアホール 1 4 によって電氣的に接続される。また、配線部分 1 1 の他方の端子は、第 2 の巻線部分 8 の内側の端子 1 3 に、絶縁層 5 を貫通するもう 1 つのビアホール 1 5 によって電氣的に接続される。すなわち、配線部分 1 1 は、第 1 の巻線部分 7 および第 2 の巻線部分 8 が設けられた配線層とは別の配線層において、それら 2 つの巻線部分を電氣的に接続する。配線部分 1 1 の形状は、2 つの巻線部分 7, 8 を電氣的に接続できれば任意であるが、好ましくは、以下のような形状である。スパイラルインダクタ 1 において、配線部分 1 1 は、直線部分（以下、「第 3 の直線部分」という。）を有する。その第 3 の直線部分は、配線層 4 において、上記第 1 の直線部分および第 2 の直線部分に平行に、かつ、配線層 3 における第 1 の直線部分と第 2 の直線部分との間の領域に対向するように位置される。配線部分 1 について、第 3 の直線部分以外の、第 1 の巻線部分 7 に接続される端子と第 3 の直線部分とをつなぐ部分、および、第 2 の巻線部分 8 に接続される端子と第 3 の直線部分とをつなぐ部分は、それぞれ、第 1 の巻線部分 7 および第 2 の巻線部分 8 に対向し、第 1 の巻線部分 7 の巻回方向および第 2 の巻線部分 8 の巻回方向に沿うように配置される。なお、配線部分は、その図形の中心点に関して点対称である。また、図 1 (a) に示されるように、第 1 の巻線部分 7、第 2 の巻線部分 8 および配線部分 1 1 を上述したように配置し、それを上から見たとき、その図形は、その中心点に関して点対称である。

【 0 0 1 7 】

以下に、上述されたスパイラルインダクタ 1 の動作を説明する。第 1 の巻線部分 7 の一方の端子 9（巻線の外側の端子）、および、第 2 の巻線部分 8 の一方の端子 1 0（巻線の外側の端子）は、ビアホールを介した電極の引き出し等により、外部の素子や回路と接続される。第 1 の巻線部分 7 の端子 9 と第 2 の巻線部分 8 の端子 1 0 との間に電圧を印可すると、スパイラルインダクタ 1 に電流が流れ

る。図1(a)における矢印は、第1の巻線部分7の端子9から第2の巻線部分8の端子10へ電流が流れる場合の、スパイラルインダクタ1における電流の向きを示す。電流は、まず、第1の巻線部分7を外側端子9から内側端子12に向かって流れ、ビアホール14を通して、別の配線層4に設けられた配線部分11に到達する。その電流は、配線部分11を流れた後、再び、ビアホール15によってもとの配線層3に戻り、第2の巻線部分8を内側端子13から外側端子10に向かって流れる。図1(a)に示されるように、第1の巻線部分7を流れる電流の向き、および、第2の巻線部分8を流れる電流の向きは、それぞれ、時計周りおよび反時計周りであり、互いに逆向きである。

【0018】

図1(b)における矢印は、電流が図1(a)の矢印の向きに流れることによって発生する磁束の向きを示す。第1の巻線部分7を流れる電流によって発生する磁束は、半導体基板2内に入り込む向きであり、第2の巻線部分8を流れる電流によって発生する磁束は、半導体基板2から出ていく向きである。図1(b)に示されるように、ある瞬間において、磁束は、第1の巻線部分7を上から下へと（基板2に入り込む向きに）貫き、配線部分11の下方を通過し、第2の巻線部分8を下から上へと（基板から出ていく向きに）貫く。これにより、基板2に入り込む磁束を削減でき、渦電流の発生を緩和することができる。結果として、スパイラルインダクタ1のエネルギー損失を低減することができる。

【0019】

本実施の形態によるスパイラルインダクタは、他の素子を用いることなく、1つのインダクタのみで、そのインダクタを流れる電流によって発生する磁束が基板に入り込むことを防止できる。また、1つのみで使用可能なため、最適化が容易であり、使用ケースによって何度も最適化するといった必要がなくなる。従って、誰が使っても同じ効果が得られ、汎用性の高いインダクタが得られる。また、本実施の形態によるスパイラルインダクタは、ライブラリとして、再利用性の高いインダクタとして部品化(モジュール化)することも可能である。

【0020】

また、本実施の形態によるスパイラルインダクタは、比較的簡単な構造で、磁

束が基板に入り込むことを防止できる。さらに、本実施の形態によるスパイラルインダクタは、1つのインダクタを2つに分けたような形状をしており、従来のスパイラルインダクタと比較して、非常に対称性の良い素子を実現できる。

【0021】

なお、本実施の形態によるスパイラルインダクタにおいては、その巻線部分の形状が、外側から内側に1回だけ方形状に巻回した形状であるが、これに限られない。巻線部分は、円状等の他の形状に巻回してもよく、また、巻回の回数も2回以上であってよい。さらに、近接して配置される2つの巻線部分を周回する電流の向きが互いに逆向きであれば、任意の形状であってよい。そのような場合であっても、本実施の形態によるスパイラルインダクタと同様の効果が得られる。

【0022】

また、本実施の形態によるスパイラルインダクタにおいて、2つの巻線部分は、並んで位置されるが、これに限られない。2つの巻線部分は、周回する電流方向が互いに逆向きになるように近接して配置されればよい。そのような場合であれば、本実施の形態によるスパイラルインダクタと同様の効果が得られる。

【0023】

また、本実施の形態によるスパイラルインダクタにおいて、2つの巻線部分は同一形状であるが、これに限られない。互いに異なる形状であっても、基板に入り込む磁束を低減できる。しかし、2つの巻線部分の形状が同じであれば、巻線部分を流れる電流の経路が対称的となり（電流の向きは互いに反対である）、結果として、発生する磁束も対称的となる（対応する2つの磁束の向きは互いに反対である）。このように磁束が対称的であれば、基板に入り込む磁束の低減をより効果的に行える。

【0024】

なお、配線部分の形状は、本実施の形態によるスパイラルインダクタについて説明された形状に限られない。配線部分の形状は、2つの巻線部分を電氣的に接続できるものであればよく、例えば、配線部分の一方の端子から他方の端子まで一直線状に延びた形状であってよい。配線部分は、抵抗を小さくしてスパイラルインダクタのQ値を上げるために、その長さは短いことが好ましい。しかし、配

線部分の形状を、その長さが短くなるように設定した場合（例えば、一方の端子と他方の端子とを直線的に結ぶ形状）、その配線部分が、2つの巻線部分の少なくとも1つに、それ（それら）を横切るように対向する場合がある（本実施の形態によるスパイラルインダクタ1においては、配線部分11が、ビアホール14に接続される端子からビアホール15に接続される端子まで直線状に延びた形状である場合に、その配線部分11が、第1の巻線部分7に対し、第1の巻線部分7の第1の直線部分を斜めに横切るように対向し、かつ、第2の巻線部分8に対し、第2の巻線部分8の第2の直線部分を斜めに横切るように対向する。）。この場合は、巻線部分を横切るように電流が流れることによって、磁場に影響を与え、それぞれの巻線部分を貫く磁束の状態を変化させる。従って、配線部分は、巻線部分と対向しないように、または、巻線部分と対向する場合は、その巻線部分の巻回方向に沿うように配置されることが好ましい。

【 0 0 2 5 】

なお、本実施の形態によるスパイラルインダクタにおいて、配線部分が設けられた配線層は、巻線部分が設けられた配線層の下方に位置するが、上方に位置していてもよい。その場合であっても、本実施の形態によるスパイラルインダクタと同様の効果が得られる。

【 0 0 2 6 】

なお、本実施の形態によるスパイラルインダクタにおいて、積層構造の最上層である配線層の上に、さらに絶縁層が積層されてもよい。

【 0 0 2 7 】

実施の形態2.

図2は、本発明の実施の形態2によるスパイラルインダクタを示す図である。図2（a）は、本実施の形態によるスパイラルインダクタの上面図、図2（b）は、図2（a）の破断線B-Bにおける断面図である。ここで、実施の形態1によるスパイラルインダクタ1と同一の構成には、図1と同一の符号が付されている。本実施の形態によるスパイラルインダクタ21が、実施の形態1によるスパイラルインダクタ1と異なる点は、図2（b）に示されるように、実施の形態1によるスパイラルインダクタ1の積層構造の上に、さらに、絶縁層および配線層

が順に積層されている点である。また、その配線層には、実施の形態 1 によるスパイラルインダクタの巻線部分と同一の巻線部分が配置されている。

【 0 0 2 8 】

本実施の形態によるスパイラルインダクタ 2 1 の積層構造の最上層は、配線層 2 2 である。配線層 2 2 は、絶縁層 2 3 を挟んで配線層 3 の上に積層される。図 2 (a) は、配線層 2 2 の上面図を示す。配線層 2 2 には、スパイラルインダクタ 2 1 の 2 つの巻線部分 2 7, 2 8 が設けられる。図 1 (a) と比較すればわかるように、配線層 2 2 における第 3 の巻線部分 2 7 および第 4 の巻線部分 2 8 の形状およびそれらの配置は、配線層 3 における第 1 の巻線部分 7 および第 2 の巻線部分 8 の形状およびそれらの配置と同様である。第 3 の巻線部分 2 7 は、第 1 の巻線部分 7 に対向し、第 4 の巻線部分 2 8 は、第 2 の巻線部分 8 に対向する。

【 0 0 2 9 】

第 3 の巻線部分 2 7 および第 4 の巻線部分 2 8 は、ともに、外側から内側に 1 回だけ方形状に巻回した形状をしている。第 3 の巻線部分 2 7 の外側の端子 2 9、および、第 4 の巻線部分 2 8 の外側の端子 3 0 は、ビアホールを介した電極の引き出し等により、外部の素子や回路と接続される。第 3 の巻線部分 2 7 の内側の端子 3 2、および、第 4 の巻線部分 2 8 の内側の端子 3 3 は、それぞれ、ビアホール 3 4 およびビアホール 3 5 に接続される。

【 0 0 3 0 】

図 2 (c) は、配線層 2 3 における 2 つの巻線部分 2 7, 2 8、配線層 3 における 2 つの巻線部分 7, 8 および配線層 4 における配線部分 1 1 のそれぞれの接続を説明する図式的な図である。以下に、図 2 (c) を用いて、スパイラルインダクタ 2 1 の動作を説明する。ここで、第 3 の巻線部分 2 7 の外側端子 2 9 と第 1 の巻線部分 7 の外側端子 9 が接続され、第 4 の巻線部分 2 8 の外側端子 3 0 と第 2 の巻線部分 8 の外側端子 1 0 が接続される。また、第 3 の巻線部分 2 7 の内側端子 3 2 と第 1 の巻線部分 7 の内側端子 1 2 が、ビアホール 3 4 によって接続され、かつ、第 4 の巻線部分 2 8 の内側端子 3 3 と第 2 の巻線部分 8 の内側端子 1 3 が、ビアホール 3 5 によって接続される。つまり、配線層 2 2 における 2 つの巻線部分と配線層 3 における 2 つの巻線部分は、並列に接続される。また、別

の配線層 4 に設けられた配線部分 1 1 の一方の端子 3 6 は、ビアホール 3 4 に接続され、配線部分 1 1 の他方の端子 3 7 は、ビアホール 3 5 に接続される。この場合、第 1 の巻線部分 7 の端子 9 と第 2 の巻線部分 8 の端子 1 0 との間（つまり、第 3 の巻線部分 2 7 の端子 2 9 と第 4 の巻線部分 2 8 の端子 3 0 との間）に電圧を印可すると、スパイラルインダクタ 2 1 に電流が流れる。図 2（c）における矢印は、スパイラルインダクタ 2 1 を流れる電流の向きを示す。配線層 2 2 における第 3 の巻線部分 2 7 から第 4 の巻線部分 2 8 への電流の流れについて説明すると、電流は、まず、第 3 の巻線部分 2 7 を端子 2 9 から端子 3 2 に向かって流れ、端子 3 2 からビアホール 3 4 を通って、別の配線層 4 に設けられた配線部分 1 1 に到達する。その電流は、配線部分 1 1 を端子 3 6 から端子 3 7 へ流れた後、再び、ビアホール 3 5 によってもとの配線層 2 2 に戻り、第 4 の巻線部分 2 8 を端子 2 8 から端子 3 0 に向かって流れる。第 3 の巻線部分 2 7 を流れる電流の向き、および、第 4 の巻線 3 8 を流れる電流の向きは、それぞれ、時計周りおよび反時計周りであり、互いに逆向きである。配線層 3 における第 1 の巻線部分 7 から第 2 の巻線部分 8 への電流の流れについて説明すると、電流は、まず、第 1 の巻線部分 7 を端子 9 から端子 1 2 に向かって流れ、端子 1 2 からビアホール 3 4 を通って、別の配線層 4 に設けられた配線部分 1 1 に到達する。その電流は、配線部分 1 1 を端子 3 6 から端子 3 7 へ流れた後、再び、ビアホール 3 5 によってもとの配線層 3 に戻り、第 2 の巻線部分 8 を端子 1 3 から端子 1 0 に向かって流れる。第 1 の巻線部分 7 を流れる電流の向き、および、第 2 の巻線部分 8 を流れる電流の向きは、それぞれ、時計周りおよび反時計周りであり、互いに逆向きである。さらに、第 1 の巻線部分 7 を流れる電流の向きは、第 3 の巻線部分 2 7 を流れる電流の向きと同じであり、第 2 の巻線部分 8 を流れる電流の向きは、第 4 の巻線部分 2 8 を流れる電流の向きと同じである。

【 0 0 3 1 】

図 2（b）における矢印は、電流が図 2（a）および図 2（c）の矢印の向きに流れることによって発生する磁束の向きを示す。第 1 の巻線部分 7 および第 3 の巻線部分 2 7 を流れる電流によって発生する磁束は、半導体基板 2 内に入り込む向きであり、第 2 の巻線部分 8 および第 4 の巻線部分 2 8 を流れる電流によ

て発生する磁束は、半導体基板 2 から出ていく向きである。図 2 (b) に示されるように、ある瞬間において、磁束は、第 3 の巻線部分 2 7 および第 1 の巻線部分 7 を上から下へと（基板 2 に入り込む向きに）貫き、配線部分 1 1 の下方を通過し、第 2 の巻線部分 8 および第 4 の巻線部分 2 8 を下から上へと（基板から出ていく向きに）貫く。これにより、基板 2 に入り込む磁束を削減でき、渦電流の発生を緩和することができる。結果として、スパイラルインダクタ 2 1 のエネルギー損失を低減することができる。

【 0 0 3 2 】

本実施の形態によるスパイラルインダクタにおいては、同じように 2 つの巻線部分が設けられた配線層が 2 層存在し、一方の配線層における巻線部分の各々が、他方の配線層に設けられた対応する巻線部分と並列に接続されているので、実施の形態 1 によるスパイラルインダクタと比較して、インダクタ全体の抵抗値が小さくなり、インダクタの Q 値を大きくすることができる。

【 0 0 3 3 】

なお、本実施の形態によるスパイラルインダクタにおいては、第 3 の巻線部分 2 7 と第 4 の巻線部分 2 8 が設けられた配線層 2 2 は、第 1 の巻線部分と第 2 の巻線部分が設けられた配線層 3 の上方に位置されているが、その配線層 2 2 は、配線層 3 と、配線部分 1 1 が設けられる配線層 4 との間、つまり、配線層 3 の下方に位置されていてもよい。

【 0 0 3 4 】

なお、本実施の形態によるスパイラルインダクタにおいては、第 3 の巻線部分および第 4 の巻線部分の形状が、外側から内側に 1 回だけ方形状に巻回した形状であるが、これに限られない。それらの巻線部分は、円状等の他の形状に巻回してもよく、また、巻回の回数も 2 回以上であってよい。さらに、近接して配置される第 3 の巻線部分および第 4 の巻線部分を周回する電流の向きが互いに逆向きであり、第 3 の巻線部分および第 4 の巻線部分を周回する電流の向きが、それぞれ、第 1 の巻線部分および第 2 の巻線部分を周回する電流の向きと等しければ、任意の形状であってよい。そのような場合であっても、本実施の形態によるスパイラルインダクタと同様の効果が得られる。

【0035】

なお、本実施の形態によるスパイラルインダクタにおいては、並列に接続される配線層が2層であったが、3層以上であってもよい。

【0036】

なお、本実施の形態によるスパイラルインダクタにおいて、配線部分が設けられた配線層は、巻線部分が設けられた2つの配線層の下方に位置するが、それらの上方または、それらの間に位置していてもよい。その場合であっても、本実施の形態によるスパイラルインダクタと同様の効果が得られる。

【0037】

なお、本実施の形態によるスパイラルインダクタにおいて、積層構造の最上層である配線層の上に、さらに絶縁層が積層されてもよい。

【0038】

なお、本実施の形態によるスパイラルインダクタにおいては、それぞれ異なる配線層に設けられた並列接続される2つの巻線部分が、同一形状であり、かつ、基板の表面に垂直な方向に並んで配置されるが、必ずしもそうである必要はない。並列接続される2つの巻線部分が異なる形状であっても、および／または、並列接続される2つの巻線部分が基板の表面に垂直な方向に並んで配置されなくとも、少なくとも2つの巻線部分を貫く磁束が存在すればよい。しかし、並列接続される2つの巻線部分の形状が同じであり、かつ、それらが基板の表面に垂直な方向に並んで配置されると、それぞれの巻線部分を流れる電流の経路が対称的となり（電流の向きは同じ）、それぞれの巻線部分を貫く磁束が一致する。よって、基板に入り込む磁束の低減をより効果的に行えるという利点がある。

【0039】

なお、本実施の形態によるスパイラルインダクタにおいても、実施の形態1によるスパイラルインダクタと同様の効果が得られる。

【0040】

実施の形態3.

図3は、本発明の実施の形態3によるスパイラルインダクタを示す図である。
図3（a）は、本実施の形態によるスパイラルインダクタの上面図、図3（b）

は、図3(a)の破断線C-Cにおける断面図である。ここで、実施の形態1によるスパイラルインダクタ1と同一の構成には、図1と同一の符号が付されている。本実施の形態によるスパイラルインダクタ41が、実施の形態1によるスパイラルインダクタ1と異なる点は、図3(b)に示されるように、実施の形態1によるスパイラルインダクタ1の積層構造における配線層3と配線層4との間に、さらに、配線層42が設けられている点である。また、配線層42と配線層3との間、配線層42と配線層4との間には、それぞれ、絶縁層43および絶縁層44が設けられている。配線層42には、配線層3における2つの巻線部分と形状の異なる、開いた矩形ループ状（巻回する配線の形状に含まれる）の2つの巻線部分45、46が配置されている。

【0041】

図3(c)は、配線層3における2つの巻線部分7、8、配線層42における2つの巻線部分45、46および配線層4における配線部分11のそれぞれの接続を説明する図式的な図である。以下に、図3(c)を用いて、スパイラルインダクタ41の動作を説明する。第1の巻線部分7の内側端子12が、ビアホール52によって、第1の矩形ループ47の一方の端子47に接続され、第1の矩形ループ47の他方の端子48が、ビアホール53によって、配線部分11の一方の端子36に接続される。また、第2の巻線部分8の内側端子13が、ビアホール54によって、第2の矩形ループ46の一方の端子49に接続され、第2の矩形ループ46の他方の端子50が、ビアホール55によって、配線部分11の他方の端子37に接続される。ここで、第1の巻線部分7の端子9と第2の巻線部分8の端子10との間に電圧を印可すると、スパイラルインダクタ41に電流が流れる。図3(c)における矢印は、スパイラルインダクタ41を流れる電流の向きを示す。電流は、まず、配線層3における第1の巻線部分7を端子9から端子12に向かって流れ、端子12からビアホール52を通過して、別の配線層42に設けられた第1の矩形ループ45に到達する。その電流は、第1の矩形ループ45を端子47から端子48へ流れた後、その端子48からビアホール53を通過して、配線層4における配線部分11へ到達する。その後、電流は、配線部分11を端子36から端子37へ流れ、その端子37からビアホール55によって第

2の矩形ループ46へ到達する。その後、電流は、第2の矩形ループ46を端子50から端子49に向かって流れ、その端子49からビアホール54によって第2の巻線部分8に到達する。その後、電流は、第2の巻線部分8を端子13から端子10に向かって流れる。

【0042】

第1の巻線部分7を流れる電流の向き、および、第2の巻線部分8を流れる電流の向きは、それぞれ、時計周りおよび反時計周りであり、互いに逆向きである。また、第1の矩形ループ45を流れる電流の向き、および、第2の矩形ループ46を流れる電流の向きは、それぞれ、時計周りおよび反時計周りであり、互いに逆向きである。従って、第1の矩形ループ45を流れる電流の向きは、第1の巻線部分7を流れる電流の向きと同じであり、第2の矩形ループ46を流れる電流の向きは、第2の巻線部分8を流れる電流の向きと同じである。

【0043】

図3(b)における矢印は、電流が図3(a)および図3(c)の矢印の向きに流れることによって発生する磁束の向きを示す。第1の巻線部分7および第1の矩形ループ45を流れる電流によって発生する磁束は、半導体基板2内に入り込む向きであり、第2の巻線部分8および第2の矩形ループ46を流れる電流によって発生する磁束は、半導体基板2から出ていく向きである。図2(b)に示されるように、ある瞬間において、磁束は、第1の巻線部分7および第1の矩形ループ45を上から下へと(基板2に入り込む向きに)貫き、配線部分11の下方を通過し、第2の矩形ループ46および第2の巻線部分8を下から上へと(基板から出ていく向きに)貫く。これにより、基板2に入り込む磁束を削減でき、渦電流の発生を緩和することができる。結果として、スパイラルインダクタ41のエネルギー損失を低減することができる。

【0044】

本実施の形態によるスパイラルインダクタにおいては、第1の巻線部分と配線部分との間、および、第2の巻線部分と配線部分との間に、それぞれ、巻回する配線が直列接続される。これにより、実施の形態1によるスパイラルインダクタと比較して、巻回の回数が増え、自己インダクタンス(L)値を大きくできる。

結果として、スパイラルインダクタのQ値を大きくすることができる。

【0045】

なお、本実施の形態によるスパイラルインダクタにおいては、巻線部分と配線部分との間に直列接続された巻回する配線を、開いた矩形ループ状の配線としたが、もちろん、スパイラル状の配線であってもよい。それぞれの巻回する配線の一方の端子が、対応する巻線部分の一方の端子に接続され、巻回する配線の他方の端子が、配線部分の一方の端子に接続され、その巻回する配線において周回する電流の向きと、その巻線部分において周回する電流の向きが同じであれば、その巻回する配線の形状は任意であってよい。

【0046】

なお、本実施の形態によるスパイラルインダクタにおいては、それぞれ巻線部分と配線部分との間に直列接続される2つのループ状配線は、その形状が同一であるが、必ずしもそうである必要はない。互いに異なる形状であっても、基板に入り込む磁束を低減できる。しかし、2つのループ状配線の形状が同じであれば、ループ状配線を流れる電流の経路が対称的となり（電流の向きは互いに反対である）、結果として、発生する磁束も対称的となる（対応する2つの磁束の向きは互いに反対である）。このように磁束が対称的であれば、基板に入り込む磁束の低減をより効果的に行える。

【0047】

なお、本実施の形態によるスパイラルインダクタにおいては、巻線部分と配線部分との間に直列接続されるループ状配線を、巻線部分とそのループ状配線が基板の表面に垂直な方向に並ぶように配置するが、必ずしもそうする必要はない。少なくとも巻線部分とループ状配線を貫く磁束が存在するように配置されればよい。しかし、巻線部分とループ状配線が、基板の表面に垂直な方向に並んで配置されると、それぞれの配線を流れる電流の経路が対称的となり、それぞれの配線を貫く磁束が一致する。よって、基板に入り込む磁束の低減をより効果的に行えるという利点がある。

【0048】

なお、本実施の形態によるスパイラルインダクタにおいて、配線部分が設けら

れた配線層は、巻線部分および矩形ループがそれぞれ設けられた2つの配線層の下方に位置するが、それらの上方に位置していてもよい。その場合にも、矩形ループが設けられる配線層は、巻線部分が設けられる配線層と配線部分が設けられる配線層との間に位置される。以上のような場合であっても、本実施の形態によるスパイラルインダクタと同様の効果が得られる。

【0049】

なお、本実施の形態によるスパイラルインダクタにおいて、積層構造の最上層である配線層の上に、さらに絶縁層が積層されてもよい。

【0050】

なお、本実施の形態によるスパイラルインダクタにおいても、実施の形態1によるスパイラルインダクタと同様の効果が得られる。

【0051】

実施の形態4.

図4は、本発明の実施の形態4によるスパイラルインダクタを示す図である。図4(a)は、本実施の形態によるスパイラルインダクタの上面図、図4(b)は、図4(a)の破断線D-Dにおける断面図である。ここで、実施の形態1によるスパイラルインダクタ1と同一の構成には、図1と同一の符号が付されている。本実施の形態によるスパイラルインダクタ61が、実施の形態1によるスパイラルインダクタ1と異なる点は、図4(b)に示されるように、実施の形態1によるスパイラルインダクタ1の積層構造における配線層4と半導体基板2との間にさらに、配線層63および配線層64が設けられている点である。また、配線層4と配線層63との間、配線層63と配線層64との間、および、配線層64と半導体基板2との間には、それぞれ、絶縁層66、絶縁層67および絶縁層68が設けられている。配線層4、配線層63および配線層64には、それぞれ、一方の端子から他方の端子まで単一の経路を有する配線部分70、配線部分71および配線部分72が設けられている。

【0052】

配線部分70、71、72は、それぞれ、直線部分を有する。まず、配線部分70について説明すると、配線部分70の直線部分は、配線層4において、第1

の直線部分および第2の直線部分に平行に、配線層3における第1の直線部分と第2の直線部分との間の領域に対向するように位置される。配線部分70において、上記直線部分以外の、一方の端子と直線部分とをつなぐ部分、および、他方の端子と直線部分とをつなぐ部分は、それぞれ、第1の巻線部分7および第2の巻線部分8に対向し、第1の巻線部分7の巻回方向および第2の巻線部分8の巻回方向に沿うように配置される。結果として、配線部分70は、第1の巻線部分7や第2の巻線部分8と、それらを横切らないように対向する。本実施の形態によるスパイラルインダクタ61においては、配線部分72の形状は、配線部分70の形状と同一である。また、図4(b)に示されるように、配線部分70、71、72は、基板2の表面に垂直な方向に並んで配置される。

【0053】

図4(c)は、配線部分70、71、72の接続の状態を図式的に示す図である。配線層3に設けられた第1の巻線部分7の端子12は、絶縁層5に設けられたビアホール14によって、配線層4に設けられた配線部分70の一端（第1の巻線部分7の端子12に対向する位置にある。）と接続される。配線部分70の他端は、絶縁層66、配線層63および絶縁層67を貫通するビアホール75によって、配線層64に設けられた配線部分72の一端（配線部分70の上記他端に対向する位置にある。）と接続される。配線部分72の他端は、絶縁層67に設けられたビアホール76によって、配線層63に設けられた配線部分71の一端（配線部分72の上記他端に対向する位置にある。）と接続される。配線部分71の他端は、絶縁層66、配線層4および絶縁層5を貫通するビアホール77によって、第2の巻線部分8の端子13（配線部分71の上記他端に対向する位置にある。）に接続される。

【0054】

ここで、本実施の形態によるスパイラルインダクタ61において、ビアホール77とビアホール75は、互いにつながらないように設けられる。従って、配線部分70のビアホール75に接続される端子と、配線部分71のビアホール77に接続される端子は対向しないように位置される。その点で、配線部分70のビアホール75に接続される端子とその配線部分70の直線部分とをつなぐ部分、

および、配線部分 7 1 のビアホール 7 7 に接続される端子とその配線部分 7 1 の直線部分とをつなぐ部分の形状は異なる。

【 0 0 5 5 】

上述のように接続される場合、半導体基板 2 の表面に垂直な方向に並んで配置される配線部分 7 0, 7 1, 7 2 のそれぞれの直線部分は、同一平面上にあり、それらによって形成される平面は、第 1 の巻線部分 7 および第 2 の巻線部分 8 が形成される平面（配線層 3）に垂直である。

【 0 0 5 6 】

図 4（a）および図 4（c）における矢印は、スパイラルインダクタ 6 1 を流れる電流の向きを示す。電流は、まず、配線層 3 における第 1 の巻線部分 7 を、端子 9 から端子 1 2 に向かって流れ、端子 1 2 からビアホール 1 4 を通って、配線層 4 における配線部分 7 0 に到達する。電流は、配線部分 7 0 を流れ、ビアホール 7 5 を通って、配線層 6 4 における配線部分 7 2 へ到達する。その後、電流は、配線部分 7 2 を流れ、ビアホール 7 6 を通って、配線層 6 3 における配線部分 7 1 へ到達する。その後、電流は、配線部分 7 1 を流れ、ビアホール 7 7 を通って、配線層 3 における第 2 の巻線部分 8 に到達する。その後、電流は、第 2 の巻線部分 8 を、端子 1 3 から端子 1 0 に向かって流れる。

【 0 0 5 7 】

図 4（b）における矢印は、電流が図 4（a）および図 4（c）の矢印の向きに流れることによって発生する磁束の向きを示す。第 1 の巻線部分 7 を流れる電流によって発生する磁束は、半導体基板 2 内に入り込む向きであり、第 2 の巻線部分 8 を流れる電流によって発生する磁束は、半導体基板 2 から出ていく向きである。図 4（b）に示されるように、ある瞬間において、磁束は、第 1 の巻線部分 7 を上から下へと（基板 2 に入り込む向きに）貫き、配線部分 7 0, 7 1, 7 2 のそれぞれの直線部分が形成する平面を、配線部分 7 1 と配線部分 7 2 の間で垂直に貫き、第 2 の巻線部分 8 を下から上へと（基板から出ていく向きに）貫く。これにより、基板 2 に入り込む磁束を削減でき、渦電流の発生を緩和することができる。結果として、スパイラルインダクタ 6 1 のエネルギー損失を低減することができる。

【0058】

本実施の形態によるスパイラルインダクタ61においては、実施の形態1によるスパイラルインダクタ1と比較して、半導体基板2に入り込む磁束をより削減できる。結果として、スパイラルインダクタにおけるエネルギー損失が、より低減される。

【0059】

なお、本実施の形態によるスパイラルインダクタにおいては、3つの配線部分の形状が同一であるが、必ずしもそうである必要はない。また、3つの配線部分が、それぞれ、垂直部分を有し、それらの垂直部分が基板に垂直な方向に並んで配置されるが、必ずしもそうである必要はない。さらに、3つの配線部分のそれぞれの直線部分によって形成される平面が、巻線部分が配置される平面に垂直であるが、必ずしもそうである必要はない。3つの配線部分を流れる電流によって生成される磁場により、一方の巻線部分を貫く磁束が、他方の巻線部分を逆方向に貫くことが促進され、結果として、巻線部分によって生成される磁束が基板に入り込むことを低減できればよい。しかし、3つの配線部分が、それぞれ、垂直部分を有し、それらの垂直部分が基板に垂直な方向に並んで配置されれば、基板に入り込む磁束の低減をより効果的に行える。好ましくは、一方の巻線部分の巻回を中心と他方の巻線部分の巻回を中心とを結ぶ直線が、3つの配線部分のそれぞれの直線部分によって形成される平面に垂直である。このとき、一方の巻線部分を上から下へ貫き、かつ、他方の巻線部分を下から上へ貫く磁束の経路と、3つの配線部分を流れる電流によって発生する磁束の経路が一致し、基板に入り込む磁束の低減をより効果的に行える。

【0060】

なお、本実施の形態によるスパイラルインダクタにおいて、積層構造の最上層である配線層の上に、さらに絶縁層が積層されてもよい。

【0061】

なお、本実施の形態によるスパイラルインダクタにおいても、実施の形態1によるスパイラルインダクタと同様の効果が得られる。

【0062】

実施の形態 5.

図 5 は、本発明の実施の形態 5 によるスパイラルインダクタを示す図である。図 5 (a) は、本実施の形態によるスパイラルインダクタの上面図、図 5 (b) は、図 5 (a) の破断線 E-E における断面図である。ここで、実施の形態 1 によるスパイラルインダクタ 1 と同一の構成には、図 1 と同一の符号が付されている。本実施の形態によるスパイラルインダクタ 8 1 が、実施の形態 1 によるスパイラルインダクタ 1 と異なる点は、配線層 4 と半導体基板 2 との間に、さらに配線層 8 2 が設けられ、かつ、その配線層 8 2 に超伝導体から成る電磁遮蔽板 8 4 が配置されることである。配線層 4 と配線層 8 2 との間には、絶縁層 6 が挟まれる。また、配線層 8 2 と半導体基板 2 との間には、絶縁層 8 3 が設けられる。

【0063】

図 5 (b) における矢印は、電流が図 5 (a) の矢印の向きに流れることによって発生する磁束の向きを示す。第 1 の巻線部分 7 を流れる電流によって発生する磁束は、半導体基板 2 内に入り込む向きであり、第 2 の巻線部分 8 を流れる電流によって発生する磁束は、半導体基板 2 から出ていく向きである。図 5 (b) に示されるように、第 1 の巻線部分 7 を上から下へと（基板 2 内に入り込む向きに）貫く磁束は、超伝導体から成る電磁遮蔽板 8 4 によって反発される。そのような磁束の一部は、配線部分 1 1 の下方を通過し、第 2 の巻線部分 8 を下から上へと（基板から出ていく向きに）貫く。また、別の一部は、電磁遮蔽板 8 4 に沿って存在し、半導体基板 2 内に入り込まない。

【0064】

本実施の形態によるスパイラルインダクタ 8 1 においては、基板と、基板に最も近い配線層との間に、磁場を反発する超伝導体を配置する。これにより、基板内に入り込む磁束を削減でき、渦電流の発生を緩和することができる。結果として、スパイラルインダクタのエネルギー損失を低減することができる。

【0065】

なお、本実施の形態によるスパイラルインダクタにおいて、積層構造の最上層である配線層の上に、さらに絶縁層が積層されてもよい。

【0066】

なお、本実施の形態によるスパイラルインダクタにおいても、実施の形態1によるスパイラルインダクタと同様の効果が得られる。

【0067】

なお、基板と、基板に最も近い配線層との間に、磁場を反発する超伝導体を配置するという構成は、従来のスパイラルインダクタに適用できる。従来のスパイラルインダクタに適用した場合であっても、基板に入り込む磁束を削減でき、スパイラルインダクタのエネルギー損失を低減できるという同様の効果が得られる。図6は、同一平面上でスパイラル状に巻回する従来のスパイラルインダクタに、磁場を反発する超伝導体を配置して構成された本実施の形態による別のスパイラルインダクタを示す図である。図6(a)は、本実施の形態によるスパイラルインダクタの上面図、図6(b)は、図6(a)の破断線F-Fにおける断面図である。ここで、実施の形態1によるスパイラルインダクタ1と同一の構成には、図1と同一の符号が付されている。

【0068】

図6(a)に示されるように、配線層3には、スパイラル状に巻回する巻線95が設けられる。巻線95の外側端子97は、ビアホールを介した電極の引き出し等により、外部の素子や回路と接続される。巻線95の内側端子98は、ビアホール99を介して、別の配線層4に設けられた電極96と電氣的に接続される。上記外側端子97と内側端子98との間に電圧を印加すると、巻線95に電流が流れる。

【0069】

図6(b)における矢印は、巻線95において、電流が図6(a)の矢印の向きに流れることによって発生する磁束の向きを示す。巻線95を流れる電流によって、巻回を中心部を貫く向きに磁束が発生する。図6(b)に示されるように、巻線95を上から下へと（基板2に入り込む向きに）貫く磁束は、超伝導体から成る電磁遮蔽板84によって反発される。そのような磁束は、電磁遮蔽板84に沿って進み、巻線95の外側を下から上に進み、結果として、スパイラルインダクタ91の外部へ出ていく。これにより、基板に入り込む磁束を削減でき、渦電流の発生を緩和することができる。結果として、スパイラルインダクタのエネ

ルギー損失を低減することができる。

【0070】

実施の形態6.

図7は、本発明の実施の形態5によるスパイラルインダクタを示す図である。図7(a)は、本実施の形態によるスパイラルインダクタの上面図、図7(b)は、図7(a)の破断線G-Gにおける断面図である。ここで、実施の形態1によるスパイラルインダクタ1と同一の構成には、図1と同一の符号が付されている。本実施の形態によるスパイラルインダクタ101が、実施の形態1によるスパイラルインダクタ1と異なる点は、配線層3に設けられる2つの巻線部分102, 103の形状が、方形状に巻回する巻線部分7, 8の角を取った形状であるという点である。

【0071】

図7(a)において、第1の巻線部分102の外側端子104、および、第2の巻線部分103の外側端子105は、ビアホールを介した電極の引き出し等により、外部の素子や回路と接続される。第1の巻線部分102の端子104と第2の巻線部分103の端子105との間に電圧を印可すると、スパイラルインダクタ101に電流が流れる。図7(a)における矢印は、第1の巻線部分102の端子104から第2の巻線部分103の端子105へ電流が流れる場合の、スパイラルインダクタ101における電流の向きを示す。電流は、まず、第1の巻線部分102を外側端子104から内側端子106に向かって流れ、ビアホール14を通して、別の配線層4に設けられた配線部分11に到達する。その電流は、配線部分11を流れた後、再び、ビアホール15によってもとの配線層3に戻り、第2の巻線103を内側端子107から外側端子105に向かって流れる。図7(a)に示されるように、第1の巻線部分102を流れる電流の向き、および、第2の巻線部分103を流れる電流の向きは、それぞれ、時計周りおよび反時計周りであり、互いに逆向きである。図7(b)における矢印は、電流が図7(a)の矢印の向きに流れることによって発生する磁束の向きを示す。

【0072】

本実施の形態によるスパイラルインダクタにおいては、巻線部分における、方

形状に巻回することにより形成される角を、例えば、4.5度にとることによって、この部分の電流集中を減らし、インダクタのQ値を大きくすることができる。

【0073】

なお、巻線部分を四角以上の多角形状または円形状に巻回することにより、電流が局所的に集中することを防ぎ、インダクタのQ値を大きくすることができる。

【0074】

なお、本実施の形態によるスパイラルインダクタにおいて、積層構造の最上層である配線層の上に、さらに絶縁層が積層されてもよい。

【0075】

なお、本実施の形態によるスパイラルインダクタにおいても、実施の形態1によるスパイラルインダクタと同様の効果が得られる。

【0076】

実施の形態7.

実施の形態1から実施の形態6において説明されたスパイラルインダクタは、移動体通信や衛星通信等に用いられるモノリシックマイクロ波集積回路(MMIC)に適用できる。これは、1つの半導体基板上に、能動素子(FET、HEMT等)および受動素子(伝送線路、容量素子、誘導素子等)を一緒に作り込んだマイクロ波集積回路である。MMICに、本発明による誘導素子を用いれば、その誘導素子を流れる電流によって発生する磁束が半導体基板に入り込むことを防止でき、結果として、MMICの誘導素子におけるエネルギー損失が低減できる。また、本発明による誘導素子は、従来のスパイラルインダクタと比較して、占有面積を小さく保持しつつ、磁束が半導体基板に入り込むことを防止できる。

【0077】

【発明の効果】

本発明による誘導素子によれば、半導体基板上に絶縁層と配線層とが交互に積層された積層構造を有し、積層構造は、第1の層構造と、第2の層構造と、第1の層構造と第2の層構造との間に挟まれた第1の絶縁層とから成り、第1の層構造は、それぞれ同一平面で巻回する第1の巻線部分と第2の巻線部分とが互いに

隣接して配置された第 1 の配線層を含み、第 2 の層構造は、一方の端子から他方の端子まで単一の経路を有する第 1 の配線部分が配置された第 2 の配線層を含み、第 1 の絶縁層は、第 1 の配線層と第 2 の配線層との間に挟まれた絶縁層であり、その第 1 の絶縁層には、第 1 の配線層と第 2 の配線層とを接続するための第 1 のビアホールおよび第 2 のビアホールが形成され、第 1 の巻線部分の第 1 の端子と第 2 の巻線部分の第 1 の端子との間に電圧を印可したとき、第 1 の巻線部分において第 1 の端子から第 2 の端子へ電流が周回し、第 2 の巻線部分において第 2 の端子から第 1 の端子へ電流が周回し、それらの周回する電流の方向が反対方向であるように、第 1 の巻線部分の第 2 の端子と第 1 の配線部分の第 1 の端子が、第 1 のビアホールを介して接続され、第 1 の配線部分の第 2 の端子と第 2 の巻線部分の第 2 の端子が、第 2 のビアホールを介して接続されるので、半導体基板に入り込む磁束を削減でき、渦電流の発生を緩和することができる。結果として、誘導素子のエネルギー損失を低減することができる。

【図面の簡単な説明】

【図 1】 (a) は、本発明の実施の形態 1 によるスパイラルインダクタの上面図、(b) は、(a) に示されたスパイラルインダクタの断面図である。

【図 2】 (a) は、本発明の実施の形態 2 によるスパイラルインダクタの上面図、(b) は、(a) に示されたスパイラルインダクタの断面図、(c) は、本発明の実施の形態 2 によるスパイラルインダクタの配線層間の接続を図式的に示す図である。

【図 3】 (a) は、本発明の実施の形態 3 によるスパイラルインダクタの上面図、(b) は、(a) に示されたスパイラルインダクタの断面図、(c) は、本発明の実施の形態 3 によるスパイラルインダクタの配線層間の接続を図式的に示す図である。

【図 4】 (a) は、本発明の実施の形態 4 によるスパイラルインダクタの上面図、(b) は、(a) に示されたスパイラルインダクタの断面図、(c) は、本発明の実施の形態 4 によるスパイラルインダクタの配線層間の接続を図式的に示す図である。

【図 5】 (a) は、本発明の実施の形態 5 によるスパイラルインダクタの

上面図、(b)は、(a)に示されたスパイラルインダクタの断面図である。

【図 6】 (a)は、本発明の実施の形態 5 による別のスパイラルインダクタの上面図、(b)は、(a)に示されたスパイラルインダクタの断面図である。

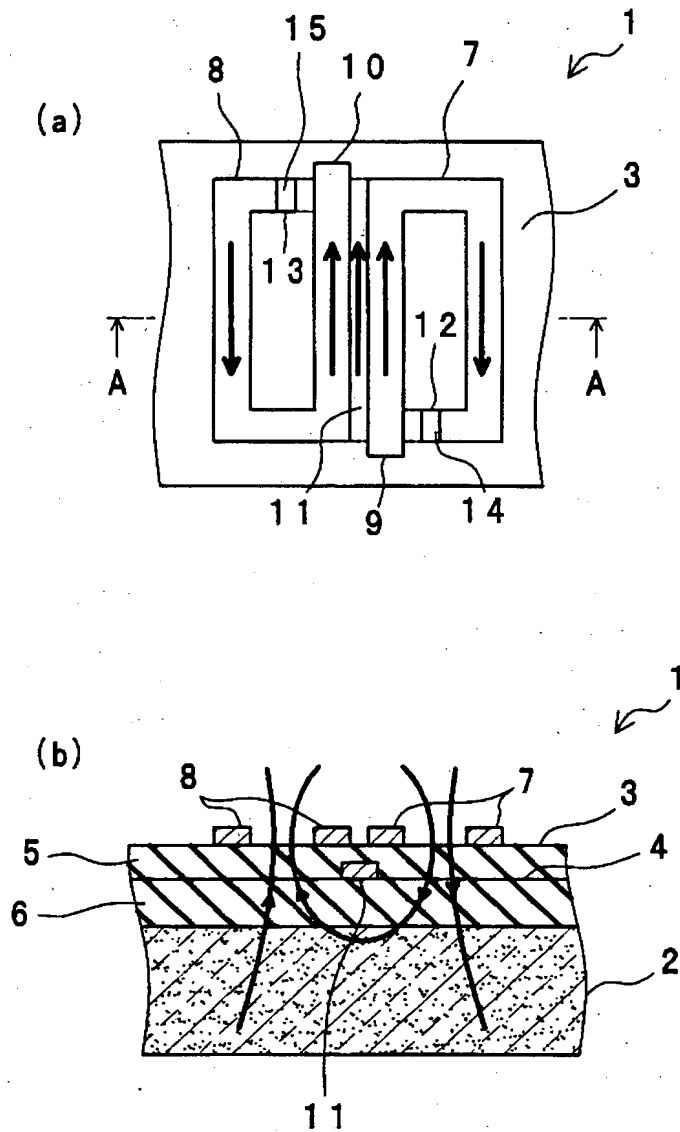
【図 7】 本発明の実施の形態 6 によるスパイラルインダクタの上面図、(b)は、(a)に示されたスパイラルインダクタの断面図である。

【符号の説明】

1 スパイラルインダクタ、 2 半導体基板、 3, 4 配線層、 5, 6 絶縁層、 7, 8 巻線部分、 9, 10, 12, 13 端子、 11 配線部分、 14, 15 ビアホール

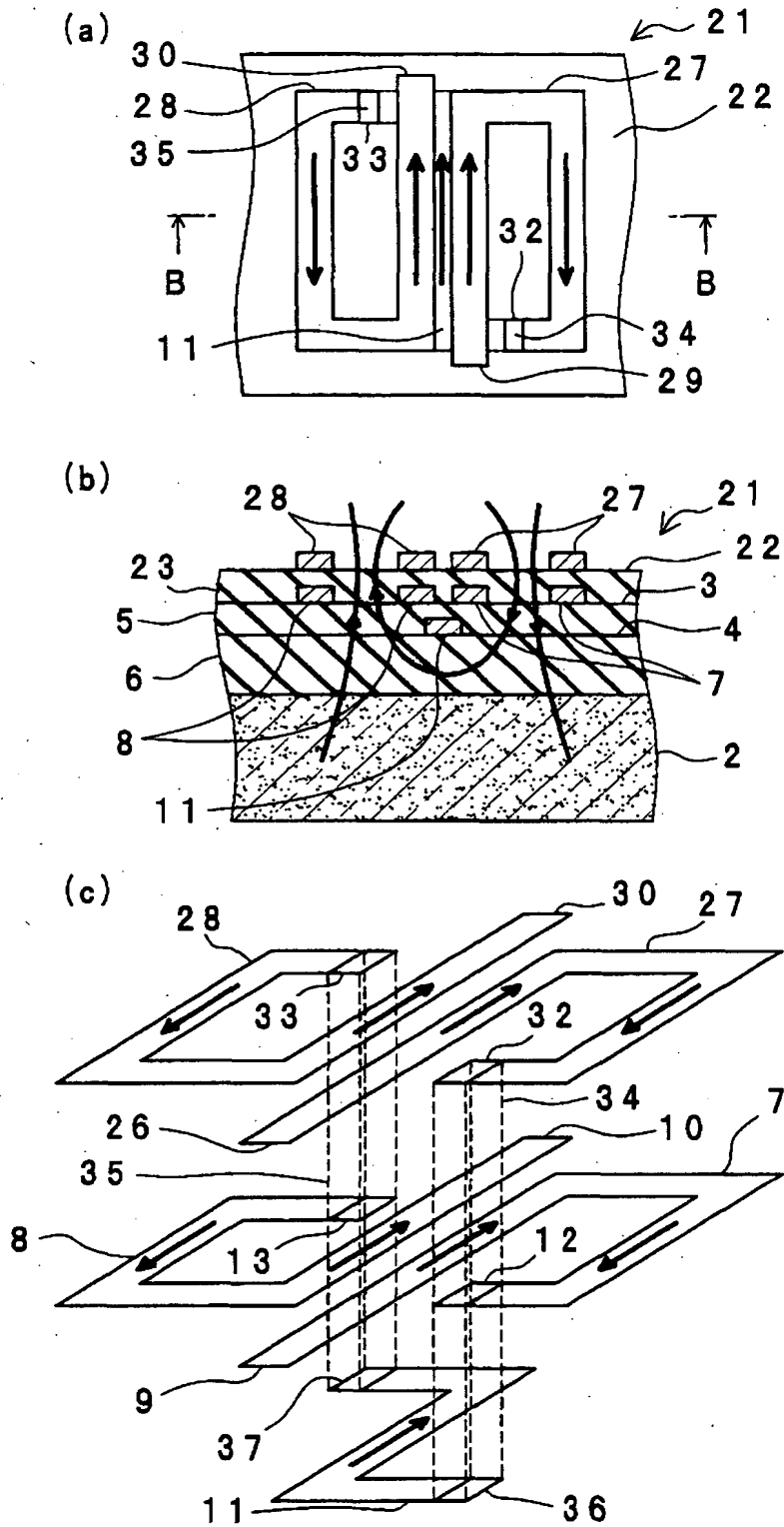
【書類名】 図面

【図 1】

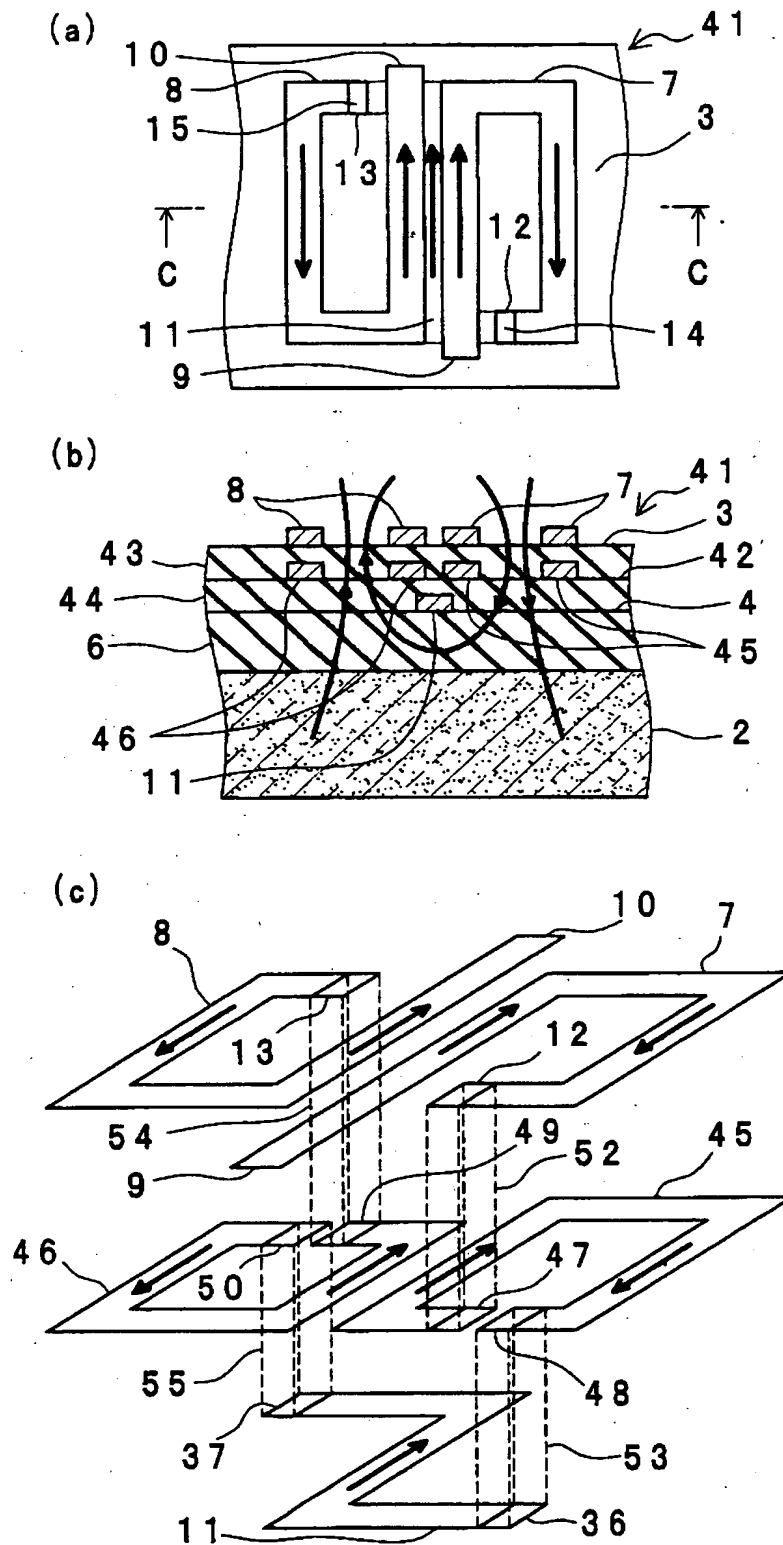


- 1: スパイラルインダクタ
- 2: 半導体基板
- 3, 4: 配線層
- 5, 6: 絶縁層
- 7, 8: 巻線部分
- 11: 配線部分

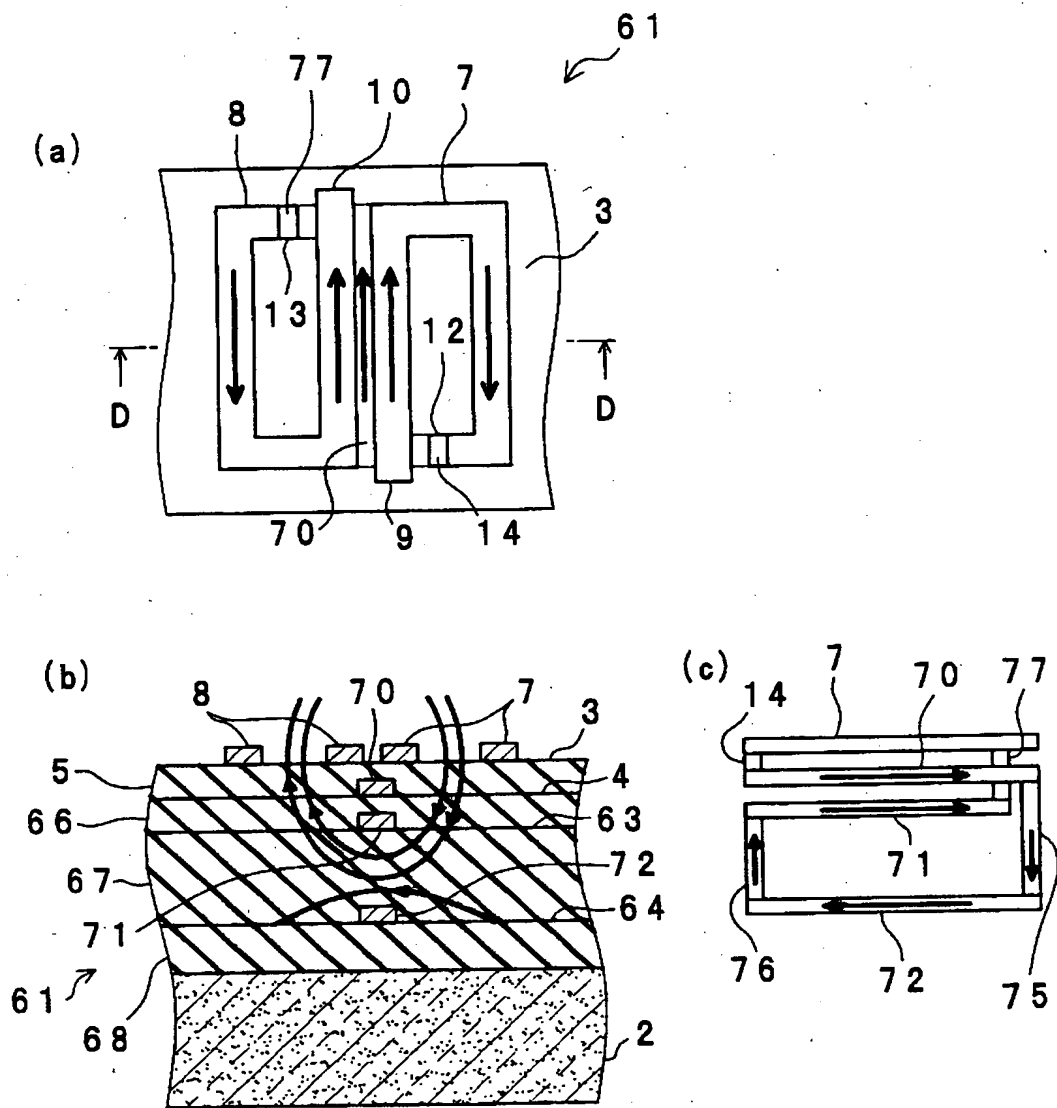
【図2】



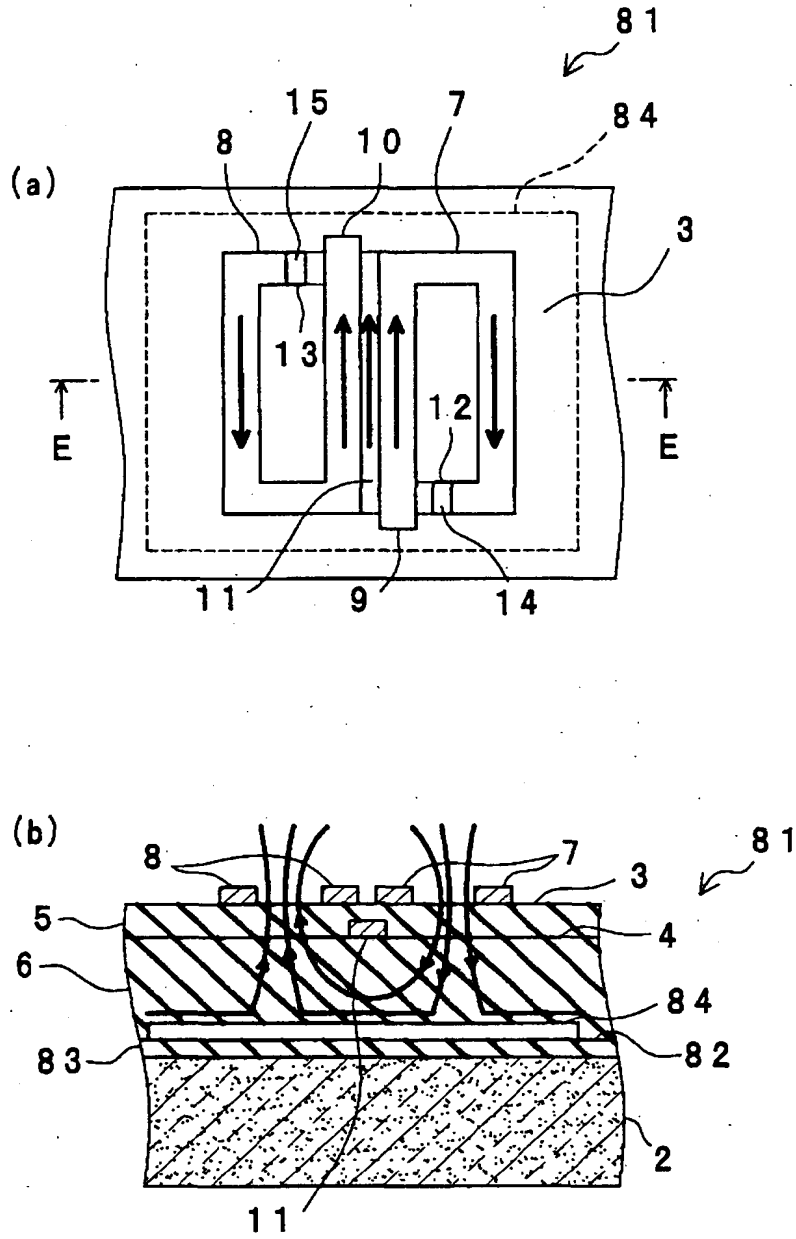
【図 3】



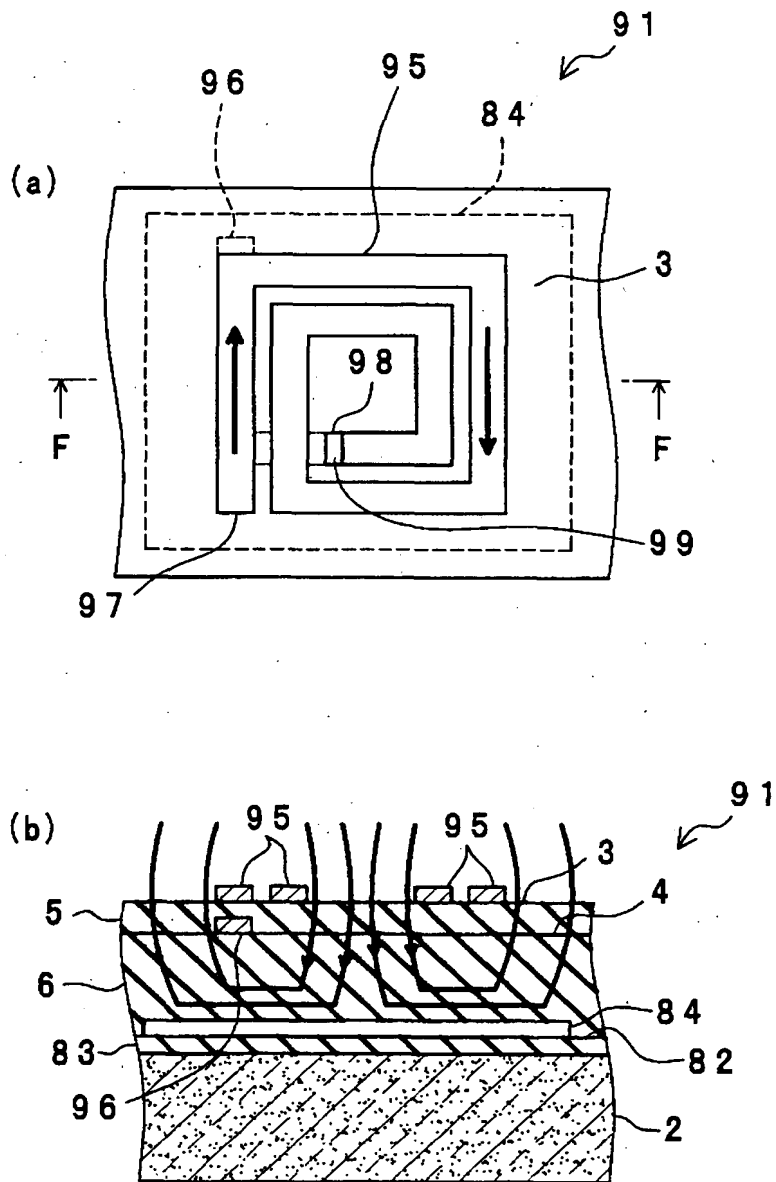
【図 4】



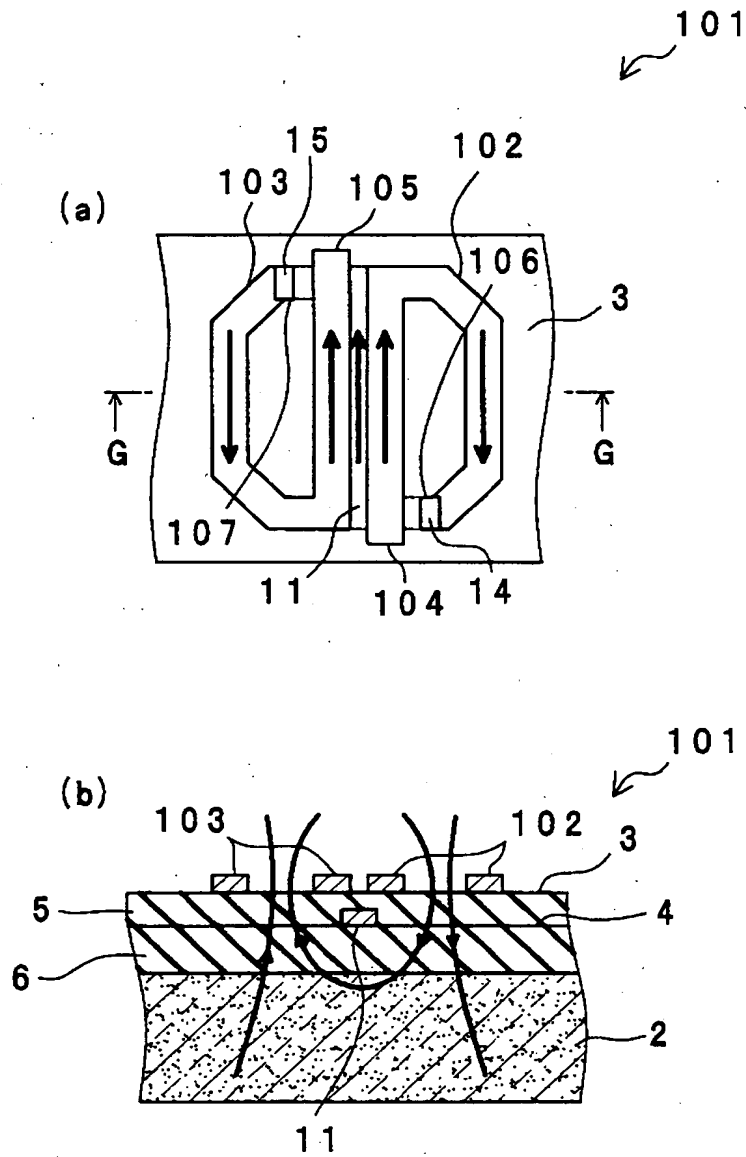
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 流れる電流によって発生する磁束が半導体基板に入り込まないような誘導素子を提供する。

【解決手段】 本発明による誘導素子（１）は、半導体基板上に絶縁層と配線層とが交互に積層された積層構造を有する。その積層構造は、それぞれ同一平面で巻回する第１の巻線部分（７）と第２の巻線部分（８）とが互いに隣接して配置された第１の配線層（３）と、一方の端子から他方の端子まで単一の経路を有する配線部分（１１）が配置された第２の配線層（４）と、第１の配線層（３）と第２の配線層（４）との間に挟まれた絶縁層（５）とを有する。第１の巻線部分（７）の第１の端子（９）と第２の巻線部分（８）の第１の端子（１０）との間に電圧を印可したとき、第１の巻線部分（７）および第２の巻線部分（８）を周回する電流の方向は反対方向である。

【選択図】 図１